การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 48
The 48th Electrical Engineering Conference (EECON-48)
วันที่ 19-21 พฤศจิกายน 2568 ณ โรงแรมฟูราม่า จังหวัดเชียงใหม่

วงจรขยายสัญญาณกระแสกำลังสองด้วยซีมอสที่ใช้แหล่งจ่ายแรงดันต่ำ
An Integrable Low-Voltage CMOS Current Squaring Circuit

พันตรี โคมพิทยา[1] และ สุทธิภัทร ศรีสุข[2]*

[1]สาขาวิชาอิเล็กทรอนิกส์และหุ่นยนต์ วิทยาลัยธาตุพนม มหาวิทยาลัยนครพนม pantre@npu.ac.th
[2]สาขาวิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยนครพนม srisuk.s@gmail.com*

บทคัดย่อ

บทความวิจัยนี้นำเสนอการออกแบบวงจรขยายสัญญาณกระแสกำลังสองโดยอาศัยหลักการของวงจรทรานส์ลิเนียร์ ที่ถูกกำหนดให้มอสทรานซิสเตอร์ทุกตัวมีสภาวะการทำงานในสภาวะอิ่มตัว มีคุณสมบัติเป็นไปตามกฎกำลังสอง ซึ่งออกแบบโดยใช้เทคโนโลยีซีมอส 0.25 μm ของ MOSIS จำลองผลการทำงานโดยใช้โปรแกรม PSpice พบว่า วงจรที่นำเสนอสามารถทำงานได้ 2 ควอแดรนท์ โดยมีช่วงปฏิบัติงานที่เหมาะสม ± 10 μA ใช้แหล่งจ่ายแรงดันแบบเดี่ยวขนาด 1.5 โวลต์ มีผลความถี่ตอบสนองของวงจร 30 MHz มีการสูญเสียกำลังงานสูงสุด 7 μW และใช้มอสทรานซิสเตอร์ในการออกแบบวงจร 14 ตัว

คำสำคัญ: วงจรกระแสกำลังสอง วงจรทรานส์ลิเนียร์ สภาวะอิ่มตัว

Abstract

This paper presents the design of a current squaring circuit employing the translinear principle, where all MOS transistors are biased to operate in the saturation region, thereby exhibiting square-law behavior. The circuit is implemented using 0.25-μm CMOS technology provided by MOSIS, and its performance is verified through PSpice simulations. The proposed architecture supports two-quadrant operation with an optimal input current range of ±10 μA under a single 1.5-V power supply. Simulation results indicate a frequency response of 30 MHz, a maximum power dissipation of 7 μW, and a compact implementation utilizing only 14 MOS transistors.

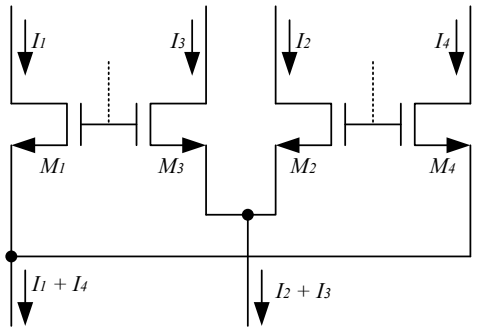
Keywords: Current Squaring Circuit, Translinear Circuit, Saturation Region

1. บทนำ

วงจรขยายสัญญาณกระแสกำลังสอง (Current Squarer Circuit) เป็นวงจรหนึ่งที่มีความสำคัญอย่างมากในการนำไปประยุกต์ใช้งานด้านการประมวลผลสัญญาณต่าง ๆ เช่น วงจรทวีความถี่ (Frequency Double) วงจรคูณสัญญาณกระแสแอนะล็อก (Current Analog Multiplier) หรือในวงจรที่มีการปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ (Electronically - Tuned) เป็นต้น จากงานวิจัยที่ผ่านมา พบว่า มีการนำเสนอวิธีการออกแบบวงจรขยายสัญญาณกำลังสองที่ใช้ทรานซิสเตอร์แบบไบโพลาร์ [1] แบบที่ใช้แหล่งจ่ายแรงดันคู่ [2] หรือแบบที่ทำงานในโหมดแรงดัน [3] ซึ่งส่งผลให้ความถี่ตอบสนองของวงจร (Bandwidth) แคบ ช่วงการทำงาน (Dynamic Range) แคบ รวมถึงไม่เหมาะสมในการนำไปพัฒนาสร้างเป็นวงจรรวม สำหรับบทความนี้จึงได้นำเสนอหลักการออกแบบวงจรขยายสัญญาณกระแสกำลังสอง โดยใช้หลักการพื้นฐานของวงจรทรานส์ลิเนียร์ (Translinear Principle) [4] โดยใช้มอสทรานซิสเตอร์ที่มีสภาวะการทำงานในช่วงอิ่มตัว (Saturation Region) มีคุณสมบัติเป็นไปตามกฎกำลังสอง (Square-law Characteristic) [5] และทำงานในโหมดกระแส โดยออกแบบให้ใช้แหล่งจ่ายแรงดันเป็นแบบเดี่ยวขนาด 1.5 โวลต์

2. หลักการทำงาน

วงจรขยายสัญญาณกระแสกำลังสองที่นำเสนอ ใช้หลักการพื้นฐานของวงจรทรานส์ลิเนียร์ ดังรูปที่ 1 ซึ่งในการออกแบบวงจรจะกำหนดให้มอสทรานซิสเตอร์มีขนาด W/L เท่ากัน และมีสภาวะการทำงานในช่วงอิ่มตัว ดังนั้น จากวงจรในรูปที่ 2 สามารถเขียนสมการแสดงความสัมพันธ์ระหว่างกระแสและแรงดัน ดังนี้



รูปที่ 1 วงจรทรานส์ลิเนียร์พื้นฐาน

$$\sum_{cw} Vgs = \sum_{ccw} Vgs \qquad (1)$$

เมื่อ M_1, M_3 คือ ส่วนของวงจรทางอินพุต และ M_2, M_4 คือ ส่วนของวงจรทางเอาท์พุต จากสมการที่ (1) จะสามารถเขียนสมการแสดงความสัมพันธ์ตามหลักการพื้นฐานของวงจรทรานส์ลิเนียร์ คือ

$$Vgs_1 + Vgs_2 = Vgs_3 + Vgs_4 \qquad (2)$$

*ผู้ประพันธ์บรรณกิจ

เมื่อออกแบบให้มอสทรานซิสเตอร์ทุกตัวมีสภาวะการทำงานในช่วงอิ่มตัว จะสามารถเขียนสมการได้ ดังนี้

$$I_D = K(Vgs\text{-}Vt)^2 \quad (3)$$

เมื่อ $K = \frac{1}{2}\mu Cox\frac{W}{L}$

และ μ คือ ความคล่องตัวของพาหะบริเวณแชนแนล

C_{OX} คือ ค่าประจุไฟฟ้าแฝงของเกทออกไซด์มีค่า = $\varepsilon_{OX} / t_{OX}$

ε_{OX} คือ ค่าไดอิเล็กทริกของ SiO_2 มีค่าประมาณ $3.9\varepsilon_O$

($\varepsilon_O \cong 8.854 \times 10^{-14}$ F/m)

t_{OX} คือ ค่าความหนาของชั้นเกทออกไซด์

V_{GS} คือ ค่าแรงดันระหว่างขาเกทกับขาซอร์ส

V_t คือ ค่าแรงดันขีดเริ่ม (Threshold Voltage)

W คือ ความกว้างประสิทธิผลของแชนแนล (Effective Channel Width)

L คือ ความยาวประสิทธิผลของแชนแนล (Effective Channel Length)

ดังนั้น เมื่อกำหนดให้มอสทรานซิสเตอร์ทุกตัวมีคุณสมบัติเหมือนกันและถูกไบอัสให้ทำงานในสภาวะช่วงอิ่มตัว จากสมการที่ (3) เมื่อพิจารณาจากคุณสมบัติของวงจรทรานส์ลิเนียร์บริเวณเกท-ซอร์สของมอสทรานซิสเตอร์ในสมการที่ (2) จะสามารถเขียนสมการได้ คือ

$$\sqrt{\frac{I_1}{(W/L)_1}} + \sqrt{\frac{I_2}{(W/L)_2}} = \sqrt{\frac{I_3}{(W/L)_3}} + \sqrt{\frac{I_4}{(W/L)_4}} \quad (4)$$

เนื่องจากมอสทรานซิสเตอร์ทุกตัวในวงจร มีค่า W/L เท่ากัน จากวงจรในรูปที่ 2 จะได้ $I_1 = I_2 = I_B$ ดังนั้น จะสามารถเขียนสมการที่ (4) ขึ้นใหม่ คือ

$$\sqrt{I_3} + \sqrt{I_4} = \sqrt{4I_B} \quad (5)$$

จากสมการที่ (5) ทำการยกกำลังสองทั้งสองด้าน จะได้

$$I_3^2 - 2I_3I_4 + I_4^2 + 16I_B^2 = 8I_B(I_3 + I_4) \quad (6)$$

จากสมการที่ (6) จัดรูปสมการใหม่ ให้อยู่ในรูปสมการกำลังสอง จะได้

$$(I_3 - I_4)^2 + 16I_B^2 = 8I_B(I_3 + I_4) \quad (7)$$

จากสมการที่ (7) สามารถจัดรูปสมการใหม่ได้ คือ

$$I_3 + I_4 = 2I_B + \frac{(I_4 - I_3)^2}{8I_B} \quad (8)$$

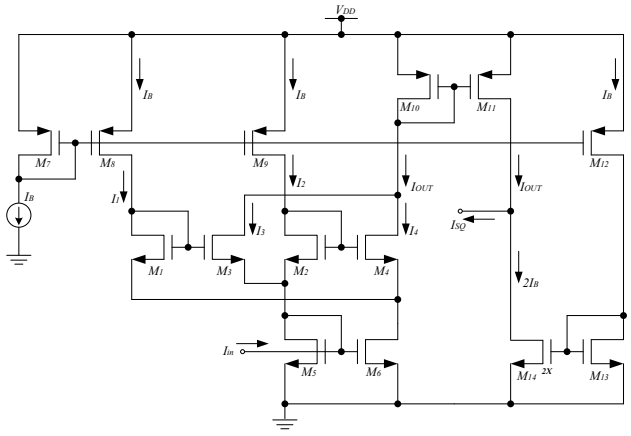
จากวงจรดังรูปที่ 2 จะได้ $I_{OUT} = I_3 + I_4$ และ $I_{in} = I_4 - I_3$ แทนค่าในสมการที่ (8) จะได้

$$I_{OUT} = 2I_B + \frac{(I_{in})^2}{8I_B} \quad (9)$$

จากสมการที่ (9) พบว่า สัญญาณเอาท์พุตของวงจรยังมีองค์ประกอบของไฟกระแสตรง (DC Offset) เท่ากับ $2I_B$ ดังนั้น จึงได้ออกแบบวงจรโดยเพิ่มมอสทรานซิสเตอร์ M_{12} , M_{13} และ M_{14} เพื่อนำมากำจัดองค์ประกอบทางไฟฟ้าของไฟกระแสตรง โดยทำการออกแบบให้ค่า W/L ของมอสทรานซิสเตอร์ M_{14} มีค่าเป็น 2 เท่า เมื่อเทียบกับมอสทรานซิสเตอร์อื่น ซึ่งจะสามารถเขียนสมการใหม่ได้ คือ

$$I_{SQ} = \frac{(I_{in})^2}{8I_B} \quad (10)$$

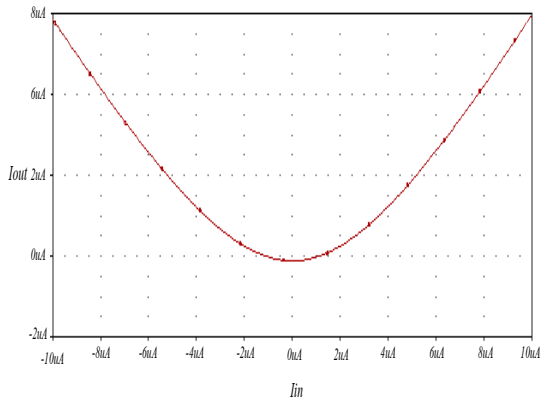
จะเห็นว่าขนาดของกระแส I_{SQ} ของวงจรจะแปรผันเชิงเส้นกับขนาดกำลังสองของสัญญาณกระแสอินพุต I_{in} คูณกับค่าคงที่ $1/8I_B$



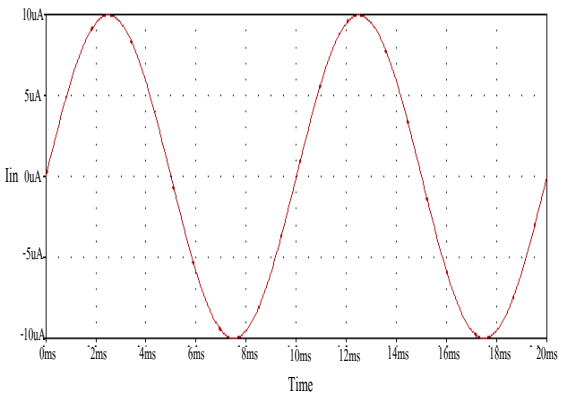
รูปที่ 2 วงจรขยายสัญญาณกระแสกำลังสองที่นำเสนอ

3. ผลการจำลองการทำงานของวงจร

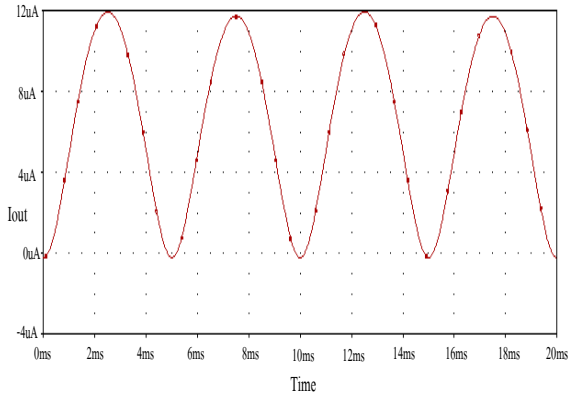
ในการจำลองการทำงานของวงจรที่นำเสนอ จะใช้โปรแกรม PSPICE มาทดสอบการทำงาน โดยใช้เทคโนโลยีมอสทรานซิสเตอร์ ขนาด 0.25 µm ของ MOSIS ซึ่งกำหนดให้ค่า W/L ของมอสทรานซิสเตอร์ M_1 - M_{13} = 2 µm / 0.5 µm ยกเว้นมอสทรานซิสเตอร์ M_{14} มีค่า W/L = 4 µm / 0.5 µm ใช้แหล่งจ่ายแรงดันไฟเลี้ยง V_{DD} = 1.5 V กระแส I_B = 500 nA ผลการจำลองการทำงานของวงจร ดังรูปที่ 2 มีคุณสมบัติของสัญญาณกระแสกำลังสองทางไฟฟ้ากระแสตรง (DC) โดยป้อนสัญญาณกระแสอินพุตอยู่ในช่วง ± 10 µA แสดงผลการจำลองการทำงานดังรูปที่ 3 และคุณสมบัติของสัญญาณกระแสกำลังสองทางไฟฟ้ากระแสสลับ (AC) ป้อนสัญญาณกระแสอินพุต (I_{in}) ในช่วง ± 10 µA แสดงผลการจำลองการทำงานในรูปที่ 4 (ก) และรูปที่ 5 (ก) ซึ่งจำลองผลการทำงานโดยใช้สัญญาณรูปคลื่นไซน์และรูปคลื่นสามเหลี่ยมที่ความถี่ 100 Hz ได้สัญญาณกระแสกำลังสอง (I_{SQ}) แสดงดังรูปที่ 4 (ข) และรูปที่ 5 (ข) และในรูปที่ 6 แสดงผลการตอบสนองความถี่ของวงจรเพื่อดูช่วงความถี่ใช้งาน พบว่าวงจรที่ออกแบบมีช่วงความถี่ ±3dB เท่ากับ 30 MHz และวงจรที่ออกแบบมีการสูญเสียกำลังงาน 7 µW ที่ช่วงกระแสสูงสุด



รูปที่ 3 คุณสมบัติของสัญญาณกระแสกำลังสองทางไฟฟ้ากระแสตรง

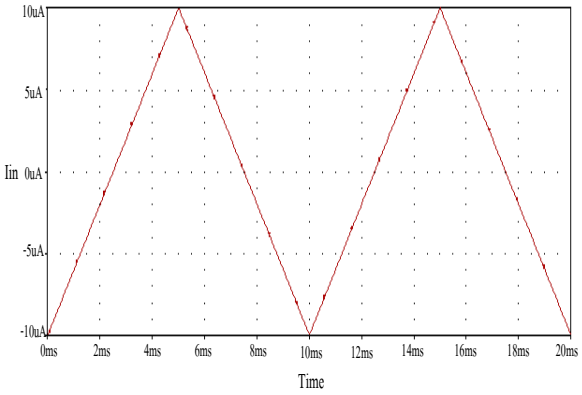


(ก) สัญญาณอินพุต

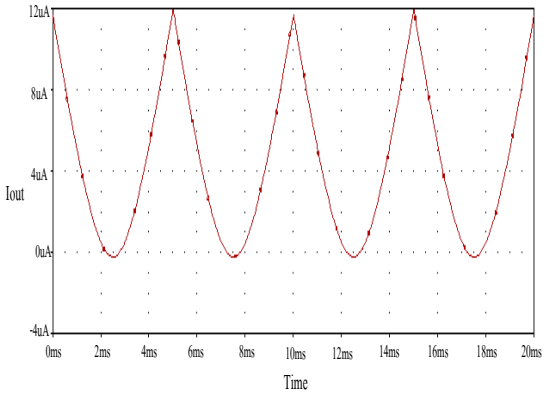


(ข) สัญญาณเอาท์พุต

รูปที่ 4 คุณสมบัติสัญญาณกระแสกำลังสองทางไฟฟ้ากระแสสลับของสัญญาณรูปคลื่นไซน์

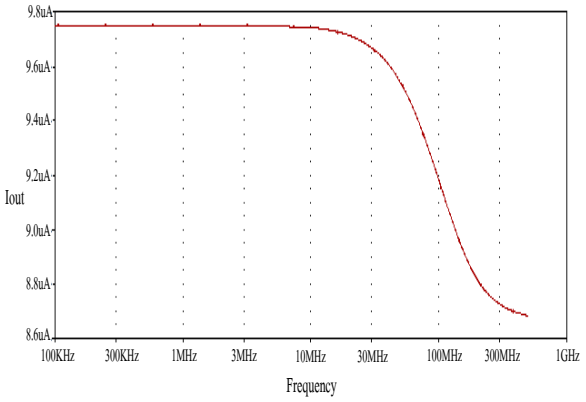


(ก) สัญญาณอินพุต



(ข) สัญญาณเอาท์พุต

รูปที่ 5 คุณสมบัติสัญญาณกระแสกำลังสองทางไฟฟ้ากระแสสลับของสัญญาณรูปคลื่นสามเหลี่ยม



รูปที่ 6 ผลความถี่ตอบสนองของวงจร

จากผลการจำลองการทำงานของวงจรดังรูปที่ 2 นำมาเปรียบเทียบคุณสมบัติของวงจรกำลังสองที่มีการนำเสนอก่อนหน้านี้ แสดงดังตารางที่ 1 พบว่า วงจรกำลังสองในงานวิจัยนี้ นำเสนอหลักการออกแบบที่แตกต่างจากเดิมด้วยวิธีการใช้หลักการของวงจรทรานส์ลิเนียร์ในการออกแบบวงจร

ตารางที่ 1 เปรียบเทียบคุณสมบัติของวงจรกำลังสอง

	[1]	[2]	[8]	This work
Power supply	1.7 V	±1 V	1 V	1.5 V
Input current	±250 μA	±20 μA	±20 μA	±10 μA
Power cons.	-	-	-	7 μW
±3dB bandwidth	110MHz	-	≈2 MHz	30 MHz
Technology CMOS	Bipolar	0.25 μm	0.25 μm	0.25 μm
Principle	OTAs	Class AB	Voltage shifting	Translinear
Quadrant	2	4	2	2
CMOS number	14	25	10	14

4. สรุป

วงจรขยายสัญญาณกระแสกำลังสองด้วยมอสทรานซิสเตอร์ที่ใช้แหล่งจ่ายแรงดันต่ำที่นำเสนอ ใช้วิธีการของวงจรทรานส์ลิเนียร์ในการออกแบบวงจร โดยใช้เทคโนโลยีซีมอส 0.25 μm จำลองผลการทำงานโดยใช้โปรแกรม PSpice พบว่า วงจรมีช่วงกระแสอินพุทปฏิบัติงาน ± 10 μA ใช้แหล่งจ่ายแรงดันไฟเลี้ยงแบบเดี่ยวขนาด 1.5 V โดยมีผลความถี่ตอบสนองของวงจร เท่ากับ 30 MHz และวงจรที่ออกแบบมีการสูญเสียกำลังงานสูงสุด 7 μW ดังนั้น วงจรขยายสัญญาณกระแสกำลังสองที่ได้นำเสนอจะสามารถใช้เป็นทางเลือกในการนำไปพัฒนาต่อ หรือประยุกต์ใช้งานในการออกแบบวงจรร่วมกับวงจรอื่น หรือนำมาพัฒนาใช้งานในการออกแบบเป็นวงจรรวมต่อไป

เอกสารอ้างอิง

[1] I.Chaisayun and S.Maitreechit, "An OTA Base Versatile Squarer Circuit", The 9th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology, 2012

[2] B.Aggarwal and M.Gupta, "Low-voltage bulk-driven class AB four quadrant CMOS current multiplier", Springer Link J. Analog Integr Circ Sig Process, no.65, pp.163-169.1-77. 2010

[3] B. Boonchu and W.Surakampontorn, "Voltage-Mode CMOS Squarer/Multiplier Circuit", The 2002 International Technical Conference On Circuits/Systems, Computers and Communications, 2002

[4] A.J.Lopez-Martin, A.Carlosena and J.Ramirez-Angulo, "Very Low Voltage MOS Translinear Loops Based on Flipped Voltage Follower", Springer Link J.Analog Integrated Circuits and Signal Processing, Vol. 40, Issue 1, pp. 71-74, July 2004

[5] K.Bult and H.Wallinga, "A class of analog CMOS circuits based on the square-law characteristic of a MOS transistor in saturation", IEEE J. Solid-State Circuits, vol.SC-22, no.3, pp.357-364, 1987

[6] N.Beyraghi, A.Khoei and K.Hadidi, "CMOS design of a four quadrant multiplier based on novel squarer circuit", Springer Link J. Analog Integr Circ Sig Process, no.80, pp.473-481. 2014

[7] A.Naderi, H.Mojarrad, H.Ghasemzadeh, A.Khoei and Kh.Hadidi, "Four-Quadrant CMOS Analog Multipile Base on New Current Squarer Circuit With High-Speed", IEEE J. Urmia University, Urmia 57159, Iran, 2009

[8] S.Wisetphanickkij, N.Singkrajom, M.Kumngern, and K.Dejhan, "A Low-Voltage CMOS Current Squarer Circuit", IEEE J. Proceeding of ISCIT, 2005